

COMPARING METHOD AND COMPARATOR

Patent Number: JP4340127

Publication date: 1992-11-26

Inventor(s): INOUE TOSHIAKI

Applicant(s): NEC CORP

Requested Patent: JP4340127

Application Number: JP19910016168 19910207

Priority Number(s):

IPC Classification: G06F7/02

EC Classification:

Equivalents:

Abstract

PURPOSE: To speed up comparing process and to reduce the number of gates by reducing the required number of steps of a propagation part from a conventional value $\log_2 n$ to $\log n$.

CONSTITUTION: This comparator is provided with a comparing part 1 consisting of n (n is a positive integer) comparing elements 11 to $1n$ so as to compare the sizes of 2 bits out of inputted n bits and output n compared results and the propagation part 2 for inputting the n compared results outputted from the comparing part 1 and outputting one compared result obtained by collecting the n inputs. Each of the comparing element 11 to $1n$ compares the sizes of two 1-bit inputs and outputs a group of the following three outputs as a compared result. Namely an output indicating whether one input is larger than the other or not, an output indicating whether both inputs are mutually equal or not and an output indicating whether one input is smaller than the other or not are outputted as a group. Each of a propagation elements 22 to $2m$ inputs compared results for m bits and outputs a compared result collecting the m -bit compared results.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-340127

(43)公開日 平成4年(1992)11月26日

(51)Int.Cl.⁵

G 06 F 7/02

識別記号 庁内整理番号

G 8323-5B

F I

技術表示箇所

審査請求 未請求 請求項の数3(全5頁)

(21)出願番号

特願平3-16168

(22)出願日

平成3年(1991)2月7日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 井上 傑明

東京都港区芝五丁目7番1号日本電気株式
会社内

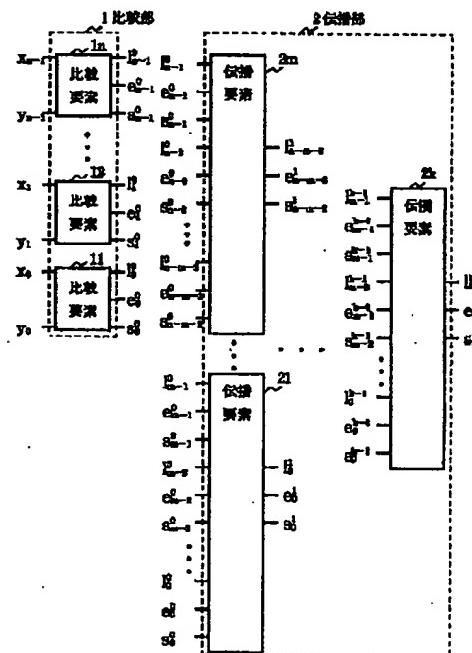
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 比較方法および比較器

(57)【要約】

【構成】 n (n は正の整数) 個の比較要素からなり、入力した n ビットの2数の各ビット毎の大小関係を比較して n 組の比較結果を出力する比較部を備える。 m ($3 \leq m \leq n$ である整数) 組の伝播要素からなり、比較部の n 組の比較結果出力を入力とし、これらをまとめて1組の比較結果を出力する伝播部を備える。比較要素は1ビットの2数の入力相互間の大小関係を比較する。比較結果として以下の3つの出力を1組として出力する。すなわち、一方の入力が他方の入力より大きいか否かを表す出力と、等しいか否かを表す出力および小さいか否かを表す出力である。伝播要素は m ビット分の比較結果を入力し、これらをまとめて1組の比較結果を出力する。

【効果】従来 $1 \times g: n$ であった伝播部の所要段数が $1 \times g: n$ に減少できるので、比較処理の高速化およびゲート数の減少を図ることができる。



1

【特許請求の範囲】

【請求項1】 n (n は正の整数) 個の比較要素からなり n ビットの数である第一、第二の数を入力とし各ビット毎の大小関係を比較して n 組の比較結果を出力する比較部と、 m ($3 \leq m \leq n$ である整数) 組の伝播要素からなり前記比較部の前記 n 組の前記比較結果出力を入力とし 1 組の前記比較結果を出力する伝播部とを備え、前記比較要素は 1 ビットの数である第一および第二の入力相互間の大小関係を比較し比較結果として前記第一の入力が前記第二の入力より大きいか否かを表す第一の出力と、前記第一の入力が前記第二の入力と等しいか否かを表す第二の出力と、前記第一の入力が前記第二の入力より小さいか否かを表す第三の出力との 3 つの出力を 1 組として出力し、前記伝播要素は m ビット分の前記比較結果を入力し 1 組の前記比較結果を出力することを特徴とする比較方法。

【請求項2】 1 ビットの数である第一および第二の入力相互間の大小関係を比較し比較結果として前記第一の入力が前記第二の入力より大きいか否かを表す第一の出力と、前記第一の入力が前記第二の入力と等しいか否かを表す第二の出力と、前記第一の入力が前記第二の入力より小さいか否かを表す第三の出力との 3 つの出力を 1 組とする n (n は正の整数) 個の比較要素を有し n ビットの数である第一、第二の数を入力とし前記第一、第二の数の各ビット毎の前記大小関係を比較して n 組の前記比較結果を出力する比較部と、 m ($3 \leq m \leq n$ である整数) ビット分の前記比較結果を入力し 1 組の前記比較結果を出力とする m 組の伝播要素を有し前記比較部の前記 n 組の前記比較結果の出力を入力とし 1 組の前記比較結果を出力する伝播部とを備えることを特徴とする比較器。

【請求項3】 前記比較要素は前記第一の入力と前記第二の入力の反転値とを入力し前記第一の出力を出力する第一の論理積ゲートと、前記第二の入力と前記第一の入力の反転値とを入力し前記第三の出力を出力する第二の論理積ゲートと、前記第一および前記第三の出力を入力し前記第二の出力を出力する論理和ゲートとを備え、前記伝播要素は第五、第七の入力の論理積を出力する第三の論理積ゲートと、第六～第八の入力の論理積を出力する第四の論理積ゲートと、第五の出力である第七～第九の入力の論理積を出力する第五の論理積ゲートと、第七、第八、第十の入力の論理積を出力する第六の論理積ゲートと、第七、第十一の入力の論理積を出力する第七の論理積ゲートと、第一の入力と前記第三の論理積ゲートの出力と前記第四の論理積ゲートの出力とを入力とし第四の出力を出力する第二の論理和回路と、第十二の入力と前記第六の論理積ゲートの出力と前記第七の論理積ゲートの出力とを入力とし第六の出力を出力する第三の論理和回路とを備え、前記第四～第六の入力はそれぞれ 3 ビットの前記第一の出力の各ビットを、前記第七～第

2

九の入力はそれぞれ 3 ビットの前記第二の出力の各ビットを、前記第十～第十二の入力はそれぞれ 3 ビットの前記第三の出力の各ビットを示すことを特徴とする請求項2記載の比較器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は比較方法および比較器に関し、特に 2 進数で表現された 2 数の大小関係を検出する比較方法および比較器に関する。

【0002】

【従来の技術】 従来の比較方法および比較器は、2 つの比較要素の大小関係の比較結果出力の 2 組を入力して 1 組の比較結果を出力する構成、すなわち、伝播要素の数が 2 つで伝播部が構成されていた。

【0003】 図 6 は、従来の比較方法および比較器における伝播要素の一例を示す回路図である。

【0004】 図 6において、従来の比較器における伝播要素 3 は、3 つの AND ゲート A31～A33 と、2 つの OR ゲート O31, O32 とから構成されていた。

【0005】 図 6において、下記に示す 2 組の大小比較結果出力を入力して、

【0006】

(I_1^1, e_1^1, s_1^1)

(I_1^0, e_1^0, s_1^0)

【0007】 下記に示す 1 組の大小比較結果出力を得るものである。ここで、1 は大きいか否か、e は等しいか否か、s は小さいか否かをそれぞれ表す信号線である。

【0008】

(I_1^1, e_1^1, s_1^1)

【0009】

【発明が解決しようとする課題】 上述した従来の比較方法および比較器は、 n ビットの 2 数の大小関係の比較結果を得るために伝播部の所要段数は $\log_2 n$ であるので、ビット長 n が大きい場合は伝播部の所要段数が多くなり、したがって、長い遅延時間と多くのゲート数が必要であるという欠点があった。

【0010】

【課題を解決するための手段】 第 1 の発明の比較方法は、 n (n は正の整数) 個の比較要素からなり n ビットの数である第一、第二の数を入力とし各ビット毎の大小関係を比較して n 組の比較結果を出力する比較部と、 m ($3 \leq m \leq n$ である整数) 組の伝播要素からなり前記比較部の前記 n 組の前記比較結果出力を入力とし 1 組の前記比較結果を出力する伝播部とを備え、前記比較要素は 1 ビットの数である第一および第二の入力相互間の大小関係を比較し比較結果として前記第一の入力が前記第二の入力より大きいか否かを表す第一の出力と、前記第一の入力が前記第二の入力と等しいか否かを表す第二の出力と、前記第一の入力が前記第二の入力より小さいか否かを表す第三の出力を 1 組として出力し、前記伝播要素は m ビット分の前記比較結果を入力して、前記第一の出力と前記第二の出力を比較して前記第一の出力が前記第二の出力より大きいか否かを表す第一の出力と、前記第一の出力が前記第二の出力と等しいか否かを表す第二の出力と、前記第一の出力が前記第二の出力より小さいか否かを表す第三の出力を 1 組として出力する。

50

3

かを表す第三の出力との3つの出力を1組として出力し、前記伝播要素はmビット分の前記比較結果を入力し1組の前記比較結果を出力するものである。

【0011】また、第2の発明の比較器は、1ビットの数である第一および第二の入力相互間の大小関係を比較し比較結果として前記第一の入力が前記第二の入力より大きいか否かを表す第一の出力と、前記第一の入力が前記第二の入力と等しいか否かを表す第二の出力と、前記第一の入力が前記第二の入力より小さいか否かを表す第三の出力との3つの出力を1組とするn(nは正の整数)個の比較要素を有しnビットの数である第一、第二の数を入力とし前記第一、第二の数の各ビット毎の前記大小関係を比較してn組の前記比較結果を出力する比較部と、m(3≤m≤nである整数)ビット分の前記比較結果を入力し1組の前記比較結果を出力とするm組の伝播要素を有し前記比較部の前記n組の前記比較結果の出力を入力とし1組の前記比較結果を出力する伝播部とを備えて構成されている。

【0012】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0013】図1は本発明の比較方法の一実施例を示すブロック図である。

【0014】本実施例の比較方法は、図1に示すように、比較要素11～1nからなる比較部1と、伝播要素21～2m～2kからなる伝播部2とから構成されている。

【0015】次に、本実施例の動作について説明する。

【0016】本実施例の比較方法は下記に示すnビットの2数x, yを入力として、

【0017】

$$x = x_{n-1} \cdots x_1 x_0$$

$$y = y_{n-1} \cdots y_1 y_0$$

【0018】入力x, yの大小関係、すなわち、 $x > y$ であるか否か、 $x = y$ であるか否か、 $x < y$ であるか否かのそれぞれの出力を下記に出力するものである。

【0019】

$x > y$ であるか否か：出力 s^g

$x = y$ であるか否か：出力 e^g

$x < y$ であるか否か：出力 s^b

【0020】比較要素11(1≤i≤n)は、入力xとyのうちのある1ビット、すなわち、 x_i と y_i の大小関係を求め、 $x > y$ であるか否か、 $x = y$ であるか否か、 $x < y$ であるか否かのそれぞれの出力を下記に出力するものである。

【0021】

10

4

$x_i > y_i$ であるか否か：出力 s^g

$x_i = y_i$ であるか否か：出力 e^g

$x_i < y_i$ であるか否か：出力 s^b

20

【0022】伝播要素21～2m～2kは、入力xとyの連続するm(3≤m≤nである整数)ビットの大小関係の比較結果を出力する。たとえば、下記のような比較要素11の連続する大小関係の比較結果の出力をm組入力し、

【0023】

$$(s^g, e^g, s^b), \dots, (s^g_{m-1}, e^g_{m-1}, s^b_{m-1})$$

【0024】下記のような1組の大小関係の比較結果として出力する。

【0025】

$$(s^g, e^g, s^b)$$

20

【0026】伝播部2は、mによって定まるツリー(mツリー)を構成し、伝播部2の入力としてのn組の大小関係の比較結果をm組毎にまとめて1つの大小関係の比較結果にすることを順次繰返し、最終的に下記に示す1つの大小関係の比較結果を出力する。

【0027】

$$(s^g, e^g, s^b)$$

30

【0028】図2は、本発明の比較器の比較部1を構成する比較要素11の一実施例を示す回路図である。

【0029】図2において、本実施例の比較要素11は、2つのANDゲートA11, A12と、ORゲートO11と、2つのインバータI11, I12とを有して構成される。

【0030】次に、本実施例の動作について説明する。

30

【0031】ANDゲートA11には、入力x0とイバータI11により反転された入力y0が入力され両者の論理積として $x_0 > y_0$ であるか否かを出力する。ANDゲートA12には、入力y0とイバータI12により反転された入力x0が入力され両者の論理積として $x_0 < y_0$ であるか否かを出力する。ORゲートO11には、ANDゲートA11, A12の出力が入力され、両者の論理和として $x_0 = y_0$ であるか否かを出力する。

40

【0032】すなわち、入力x0とy0の大小関係の比較を行ない、 $x_0 > y_0$ であるか否か、 $x_0 = y_0$ であるか否か、 $x_0 < y_0$ であるか否かのそれぞれの出力を下記に出力するものである。

【0033】

$x_0 > y_0$ であるか否か：出力 s^g

$x_0 = y_0$ であるか否か：出力 e^g

$x_0 < y_0$ であるか否か：出力 s^b

50

【0034】図3は、比較要素11の以上の動作を表す

真理値表を示す図である。

【0035】図4は、本発明の比較器の伝播部2を構成する伝播要素21の一実施例を示す回路図である。

【0036】図4において、本実施例の伝播要素21は、5つのANDゲートA21～A25と、2つのORゲートO21、O22とを有して構成される。

【0037】次に、本実施例の動作について説明する。

【0038】本実施例の伝播要素21は下記に示す3組の大小関係の比較結果出力を入力とする。

【0039】

$$(l_1^1, e_1^1, s_1^1), \dots, (l_m^1, e_1^1, s_1^1)$$

【0040】これらをまとめて下記に示す1組の大小関係の比較結果として出力する。

【0041】

$$(l_1^1, e_1^1, s_1^1)$$

【0042】図5は、伝播要素21の以上の動作を表す真理値表を示す図である。

【0043】図5において、記号*は任意の入力を表す。

【0044】以上、本発明の実施例を説明したが、本発明は上記実施例に限られることなく種々の変形が可能である。

【0045】たとえば、比較器を正論理で動作させるだけでなく、負論理で動作させることも本発明の主旨を逸脱しない限り適用できることは勿論である。

【0046】また、比較器の伝播要素においては、 $m=3$ の場合について説明したが、他の m ($4 \leq m \leq n$ である整数) についても本発明の主旨を逸脱しない限り適用できることは勿論である。

【0047】

【発明の効果】以上説明したように、本発明の比較方法および比較器は、従来 $l \log_2 n$ であった伝播部の所要段数が $l \log_2 n$ に減少できるので、比較処理の高速化およびゲート数の減少を図ることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の比較方法および比較器の一実施例を示すプロック図である。

【図2】本実施例の比較器の比較要素の一例を示す回路図である。

【図3】図2に示す比較要素の動作における真理値表を示す図である。

【図4】本実施例の比較器の伝播要素の一例を示す回路図である。

【図5】図5に示す伝播要素の動作における真理値表を示す図である。

【図6】従来の比較方法および比較器における伝播要素の一例を示す回路図である。

【符号の説明】

1 比較部

2 伝播部

1 1 ~ 1 n 比較要素

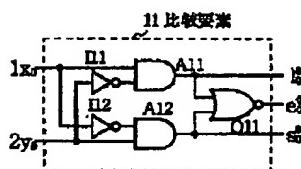
2 2 ~ 2 m 伝播要素

A11, A12, A21 ~ A25, A31, A33 ANDゲート

I11, I12 インバータ

O11, O21, O22, O31, O32 ORゲート

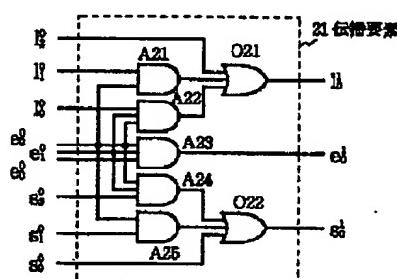
【図2】



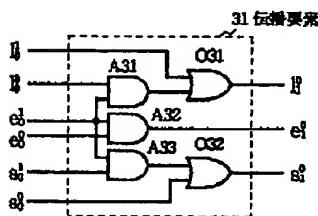
【図3】

x ₁	y ₁	l ₁ e ₁ s ₁
0	0	0 1 0
0	1	0 0 1
1	0	1 0 0
1	1	0 1 0

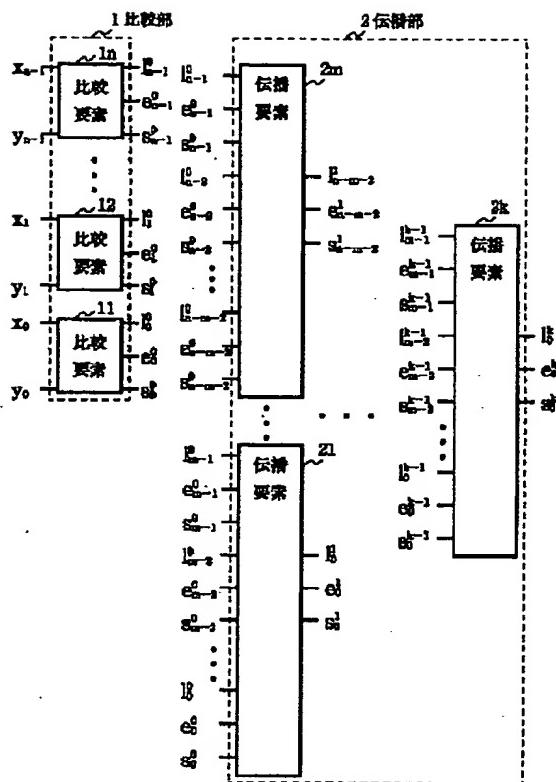
【図4】



【図6】



【図1】



【図5】

b	e_0	s_0									
0	1	0	0	1	0	0	1	0	0	1	0
1	0	0	*	*	*	*	*	*	*	*	*
0	1	0	1	0	0	*	*	*	1	0	0
0	1	0	0	1	0	1	0	0	0	0	1
0	0	1	*	*	*	*	*	*	*	*	*
0	1	0	0	0	1	*	*	*	0	0	1
0	1	0	0	1	0	0	0	1	0	0	0